

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP7131316

Publication date: 1995-05-19

Inventor(s): TAKAHASHI HIROAKI

Applicant(s): NEC CORP

Requested Patent: ☒ JP7131316Application
Number: JP19930271725 19931029Priority Number
(s):IPC Classification: H03K17/08; G01R31/26; G05F1/10; G05F1/56; H01L21/66; H01L27/04;
H01L21/822; H02M1/00; H02M3/00

EC Classification:

Equivalents: JP2570990B2

Abstract

PURPOSE: To simplify circuit configuration and to improve detection accuracy by detecting an over current flowing to an external load resistor while using a coil for detection and by reducing characteristic fluctuation caused by a temperature.

CONSTITUTION: When a driving voltage V_o is generated at a gate driving circuit 11, the driving voltage V_o is impressed to the gate of a field effect transistor (FET) 12 for output and the FET 12 is operated. Thus, the current flows from a power supply terminal 20 through the drain and source of the FET 12, output terminal 22 and external load resistor 31 to a ground terminal 30. At such a time, induced electromotive force is generated at a coil 13 for detection provided around the output terminal 22, and a voltage generated by this electromotive force is impressed to one input terminal of an operational amplifier 15. The level of an output signal from the operational amplifier 15 is inverted corresponding to whether the voltage generated by this electromotive force is larger than the reference voltage V_o generated by a reference voltage generating circuit 14 or not. By monitoring this inversion, it is detected whether the over current flows to the resistor 31 or not.

Data supplied from the esp@cenet database - I2

②

類似技術

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-131316

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/08	A	9184-5 J		
G 0 1 R 31/26	G			
G 0 5 F 1/10	3 0 4 M	4237-5 H		
1/56	3 2 0 S			
		8832-4 M	H 0 1 L 27/04	H

審査請求 有 請求項の数 2 頁 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平5-271725

(22) 出願日 平成5年(1993)10月29日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 ▲高▼橋 廣秋

東京都港区芝五丁目7番1号 日本電気株式
会社社内

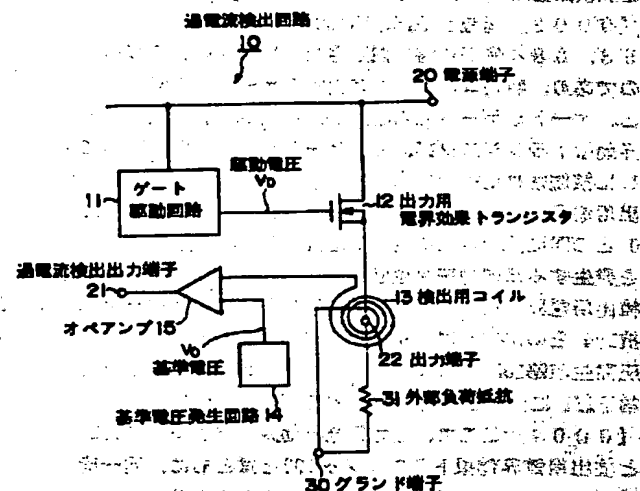
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 過電流検出機能を有する半導体集積回路を、回路構成の簡便化、検出精度の向上および製品バラツキの低減化を図るようにする。

【構成】 過電流検出回路10は、駆動電圧 V_0 を発生するゲート駆動回路11と、ゲート駆動回路11からの駆動電圧 V_0 により動作する、ソースが出力端子22を介して外部負荷抵抗31の一端に接続された出力用電界効果トランジスタ12と、出力用電界効果トランジスタ12のソースと外部負荷抵抗31との間の電流経路を囲むように設けられた検出用コイル13と、基準電圧 V_0 を発生する基準電圧発生回路14と、検出用コイル13に発生した誘導起電力と基準電圧 V_0 とを比較するオペアンプ15とを備えている。



【特許請求の範囲】

【請求項1】 駆動電圧を発生するゲート駆動回路と、

該ゲート駆動回路からの前記駆動電圧により動作する、一方の拡散層が外部負荷抵抗に接続された出力用電界効果トランジスタと、

該出力用電界効果トランジスタの前記一方の拡散層と前記外部負荷抵抗との間の電流経路を囲むように設けられた検出用コイルと、

該検出用コイルに発生した誘導起電力と所定の基準電圧とを比較するオペアンプとを備えたことを特徴とする半導体集積回路。

【請求項2】 駆動電圧を発生するゲート駆動回路と、

該ゲート駆動回路からの前記駆動電圧により動作する、一方の拡散層が外部負荷抵抗に接続され、他方の拡散層が電源端子に接続された出力用電界効果トランジスタと、

該出力用電界効果トランジスタの前記他方の拡散層と前記電源端子との間の電流経路を囲むように設けられた検出用コイルと、

該検出用コイルに発生した誘導起電力と所定の基準電圧とを比較するオペアンプとを備えたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路に関し、特に、過電流検出機能を有する半導体集積回路に関する。

【0002】

【従来の技術】 図6は、半導体集積回路に用いられる過電流検出回路の一従来例を示す回路図である。

【0003】 過電流検出回路100は、米国特許第4,553,084号明細書に開示されているものと同様のものであり、駆動電圧V_gを発生するゲート駆動回路101と、ゲートがゲート駆動回路101に接続された出力用電界効果トランジスタ102と、ゲートがゲート駆動回路101に接続された検出用電界効果トランジスタ103と、検出用電界効果トランジスタ103のドレインと電源端子110との間に接続された検出用抵抗104と、基準電圧V_{ref}を発生する基準電圧発生回路105と、一方の入力端子が検出用電界効果トランジスタ103のドレインと検出用抵抗104との接続点に接続され、他方の入力端子が基準電圧発生回路105に接続され、出力端子が過電流検出出力端子111に接続されたオペアンプ106を含む。

【0004】 ここで、出力用電界効果トランジスタ102と検出用電界効果トランジスタ103とはともに、同一構造のパーティカル電界効果トランジスタからなり、セル数のみが異なるものである。また、出力用電界効果トランジスタ102のソースと検出用電界効果トランジスタ103のソースとはともに、出力端子112を介して外部負荷抵抗121の一端に接続されている。なお、外部負荷抵抗121

1の他端はグランド端子120に接続されている。

【0005】 次に、過電流検出回路100の動作について、出力用電界効果トランジスタ102と検出用電界効果トランジスタ103とのセル数の比が1000対1であり、出力用電界効果トランジスタ102のオン抵抗が1.0Ωであるとして説明する。

【0006】 ゲート駆動回路101により駆動電圧V_gが発生されると、出力用電界効果トランジスタ102と検出用電界効果トランジスタ103とが同時に動作して、電源端子110から出力用電界効果トランジスタ102を介して外部負荷抵抗121に電流が流れるとともに、電源端子110から検出用抵抗104および検出用電界効果トランジスタ103を介して外部負荷抵抗121に電流が流れる。

【0007】 このとき、出力用電界効果トランジスタ102に流れる電流の値と検出用電界効果トランジスタ103に流れる電流の値の比は、出力用電界効果トランジスタ102と検出用電界効果トランジスタ103とのセル数の比と同一である1000対1となる。また、出力用電界効果トランジスタ102のオン抵抗と検出用電界効果トランジスタ103のオン抵抗との比は、1対1/1000となる。したがって、たとえば、検出用抵抗104の抵抗値が1.0kΩのときに、外部負荷抵抗121に1.0Aの電流が流れたとすると、検出用電界効果トランジスタ103に流れる電流は、

$$1A \times 1.0\Omega / [(1\Omega \times 1000) + 1.0k\Omega] = 0.0005A$$

となり、検出用抵抗104に生じる電圧降下は、

$$0.0005A \times 1.0k\Omega = 0.5V$$

となる。

【0008】 すなわち、検出用抵抗104に生じる電圧降下は、外部負荷抵抗121に流れる電流の値が大きいほど大きくなるため、検出用抵抗104に生じる電圧降下の大きさをオペアンプ106で検出することにより、外部負荷抵抗121に過電流が流れたか否かを検出することができる。具体的には、電源端子110に印加されている電源電圧の値から検出用抵抗104に生じる電圧降下を引いた電圧値が、基準電圧発生回路105で発生されている基準電圧V_{ref}よりも大きいまたは小さいかで、オペアンプ106の出力信号のレベルが反転するため、過電流検出出力端子111に出力されるオペアンプ106の出力信号のレベルを監視することにより、外部負荷抵抗121に過電流が流れたか否かを検出することができる。

【0009】

【発明が解決しようとする課題】 しかしながら、上述した従来の半導体集積回路に用いられる過電流検出回路100では、外部負荷抵抗121以外のすべての構成要素を半導体集積回路内に構成する必要がある、半導体集積回路の構成が複雑になるという問題がある。また、半導体の特性上、出力用電界効果トランジスタ102および検出用

電界効果トランジスタ103のオン抵抗値と検出用抵抗104の抵抗値とは温度によって変動するため、外部負荷抵抗121に流れる過電流の値も温度によって変動し、誤検出が生じるという問題がある。さらに、出力用電界効果トランジスタ102のオン抵抗値と検出用電界効果トランジスタ103のオン抵抗値と検出用抵抗104の抵抗値との相対比により、外部負荷抵抗121に流れる過電流を検出するため、製造プロセス（特に、拡散プロセス）のパラツキにより、過電流の検出値を製品ごとに一定にすることが困難であるという問題がある。

【0010】本発明の目的は、回路構成の単純化、検出精度の向上および製品バラツキの低減化が図れる過電流検出機能を有する半導体集積回路を提供することにある。

【0011】

【課題を解決するための手段】本発明の半導体集積回路は、駆動電圧を発生するゲート駆動回路と、該ゲート駆動回路からの前記駆動電圧により動作する、一方の拡散層が外部負荷抵抗に接続された出力用電界効果トランジスタと、該出力用電界効果トランジスタの前記一方の拡散層と前記外部負荷抵抗との間の電流経路を囲むように設けられた検出用コイルと、該検出用コイルに発生した誘導起電力と所定の基準電圧とを比較するオペアンプとを備えたことを特徴とする。

【0012】または、駆動電圧を発生するゲート駆動回路と、該ゲート駆動回路からの前記駆動電圧により動作する、一方の拡散層が外部負荷抵抗に接続され、他方の拡散層が電源端子に接続された出力用電界効果トランジスタと、該出力用電界効果トランジスタの前記他方の拡散層と前記電源端子との間の電流経路を囲むように設けられた検出用コイルと、該検出用コイルに発生した誘導起電力と所定の基準電圧とを比較するオペアンプとを備えたことを特徴とする。

【0013】

【作用】本発明の半導体集積回路は、出力用電界効果トランジスタの一方の拡散層と外部負荷抵抗との間の電流経路を囲むように設けられた検出用コイル、または、出力用電界効果トランジスタの他方の拡散層と電源端子との間の電流経路を囲むように設けられた検出用コイルを備えることにより、検出用コイルに発生する誘導起電力の大きさは外部負荷抵抗に瞬間的に流れる電流の大きさに比例するため、検出用コイルに発生する誘導起電力の大きさを監視するだけで、外部負荷抵抗に過電流が流れたことを検出することができる。

【0014】

【実施例】以下、本発明の実施例について、図面を参照して説明する。

【0015】図1は、本発明の半導体集積回路の第1の実施例に用いられる過電流検出回路を示す回路図である。

【0016】過電流検出回路10は、駆動電圧 V_g を発生するゲート駆動回路11と、ゲート駆動回路11からの駆動電圧 V_g により動作する、ソースが出力端子22を介して外部負荷抵抗31の一端に接続された出力用電界効果トランジスタ12と、出力用電界効果トランジスタ12のソースと外部負荷抵抗31との間の電流経路を囲むように設けられた検出用コイル13と、基準電圧 V_{ref} を発生する基準電圧発生回路14と、検出用コイル13に発生した誘導起電力と基準電圧 V_{ref} とを比較するオペアンプ15とを備えている。

【0017】ここで、出力用電界効果トランジスタ12のゲートはゲート駆動回路11に接続され、ドレインは電源端子20に接続されている。検出用コイル13の一端はグランド端子30に接続されており、検出用コイル13の他端はオペアンプ15の一方の入力端子に接続されている。オペアンプ15の他方の入力端子は基準電圧発生回路14に接続され、オペアンプ15の出力端子は過電流検出出力端子21に接続されている。外部負荷抵抗31の他端はグランド端子30に接続されている。

【0018】次に、過電流検出回路10の動作について説明する。

【0019】ゲート駆動回路11で駆動電圧 V_g が発生されると、出力用電界効果トランジスタ12のゲートに駆動電圧 V_g が印加され、出力用電界効果トランジスタ12が動作する。これにより、出力用電界効果トランジスタ12のドレインおよびソース、出力端子22および外部負荷抵抗31を介して、電源端子20からグランド端子30に電流が流れる。このとき、出力端子22を囲むようにして設けられた検出用コイル13に誘導起電力（以下、「起電力」と称する。）が発生し、この起電力により発生した電圧がオペアンプ15の一方の入力端子に印加される。この起電力により発生した電圧が、基準電圧発生回路14で発生されている基準電圧 V_{ref} よりも大きいかまたは小さいかによって、オペアンプ15の出力信号のレベルが反転する。なお、基準電圧 V_{ref} の大きさは、外部負荷抵抗31に規定内の電流が流れている場合に検出用コイル13に発生する起電力による電圧の大きさよりも大きくされている。

【0020】外部負荷抵抗31に過電流が流れた場合には、検出用コイル13に発生する起電力が大きくなり、この起電力により発生した電圧が基準電圧 V_{ref} よりも大きくなる。したがって、過電流検出出力端子21に出力されるオペアンプ15の出力信号のレベルを監視することにより、外部負荷抵抗31に過電流が流れたか否かを検出することができる。

【0021】次に、過電流検出回路10の出力端子22の部分の具体的構成について、図2および図3をそれぞれ参照して説明する。

【0022】過電流検出回路10の出力端子22の部分は、図2に示すように、出力端子22を構成するボンデ

イングパッド41と、一端がパッド側コンタクト43、下部導電パターン44およびパターン側コンタクト43を介してボンディングパッド41と電気的に接続された導電パターン42と、一端がボンディングパッド41と電気的に接続されるとともに他端が外部負荷抵抗31（図1参照）と電気的に接続されたボンディングワイヤ45を含む。ここで、導電パターン42の他端は、出力用電界効果トランジスタ12のソース（図1参照）に接続されている。また、検出用コイル13は、ボンディングパッド41を囲むように形成されている。

【0023】ボンディングパッド41、下部導電パターン44および導電パターン42と反対側の検出用コイル13はそれぞれ、図3に示すように、下部絶縁膜52を介して半導体基板51上に形成されている。なお、下部導電パターン44の上部および周辺部には上部絶縁膜53が形成されており、ボンディングパッド41と下部導電パターン44とは、上部絶縁膜53に形成されたパッ

$$L = \{39a^2N^2 / (8a + 11b)\} \times 10^{-6} \text{ [H]}$$

ここで、 $a = (D_0 + D_1) / 4$ 、 $b = (D_0 - D_1) / 2$

より、8.1 [nH] となる。したがって、導電パターン42を流れてくる電流の時間変化 $di = 5 \text{ [A]}$ およびこの電流の立ち上がり時間 $dt = 1.0 \text{ [μs]}$ とすると、検出用コイル13に発生する起電力 e は、

$$e = L \times di / dt \text{ [V]}$$

より、40 [mV] となる。

【0026】図4は、本発明の半導体集積回路の第2の実施例に用いられる過電流検出回路を示す回路図である。

【0027】過電流検出回路60は、駆動電圧 V_0 を発生するゲート駆動回路61と、ゲート駆動回路61からの駆動電圧 V_0 により動作する、ソースが出力端子72を介して外部負荷抵抗81の一端に接続され、ドレインが電源端子70に接続された出力用電界効果トランジスタ62と、出力用電界効果トランジスタ62のドレインと電源端子70との間の電流経路を囲むように設けられた検出用コイル63と、基準電圧 V_0 を発生する基準電圧発生回路64と、検出用コイル63に発生した起電力（誘導起電力）と基準電圧 V_0 とを比較するオペアンプ65とを備えている。

【0028】ここで、出力用電界効果トランジスタ62のゲートはゲート駆動回路61に接続されている。検出用コイル63の一端は電源端子70に接続されており、検出用コイル13の他端はオペアンプ65の一方の入力端子に接続されている。オペアンプ65の他方の入力端子は基準電圧発生回路64に接続されており、オペアンプ65の出力端子は過電流検出力端子71に接続されている。外部負荷抵抗81の他端はグランド端子80に接続されている。

【0029】次に、過電流検出回路60の動作について

ド側コンタクト43を介して電気的に接続されている。また、下部導電パターン44と導電パターン42とは、上部絶縁膜53に形成されたパターン側コンタクト43を介して電気的に接続されている。導電パターン42側の検出用コイル13は、上部絶縁膜53を介して下部導電パターン44上に形成されている。

【0024】導電パターン42を流れてくる電流は、パターン側コンタクト43、下部導電パターン44、パッド側コンタクト43、ボンディングパッド41およびボンディングワイヤ45を介して外部負荷抵抗31に流れる。このとき、この電流の電流経路は検出用コイル13の内側を通過しているため、検出用コイル13に起電力が発生する。

【0025】たとえば、検出用コイル13の内周 $D_i = 450 \text{ [μm]}$ 、検出用コイル13の外周 $D_o = 500 \text{ [μm]}$ および検出用コイル13の巻数 $N = 3 \text{ [T]}$ とすると、検出用コイル13のインダクタンス L は、

$$L = \{39a^2N^2 / (8a + 11b)\} \times 10^{-6} \text{ [H]}$$

説明する。

【0030】ゲート駆動回路61で駆動電圧 V_0 が発生されると、出力用電界効果トランジスタ62のゲートに駆動電圧 V_0 が印加され、出力用電界効果トランジスタ62が動作する。これにより、出力用電界効果トランジスタ62のドレインおよびソース、出力端子72および外部負荷抵抗81を介して、電源端子70からグランド端子80に電流が流れる。このとき、出力用電界効果トランジスタ62のドレインと電源端子70との間の電流経路を囲むように設けられた検出用コイル63に起電力が発生し、この起電力により発生した電圧がオペアンプ65の一方の入力端子に印加される。この起電力により発生した電圧が、基準電圧発生回路64で発生されている基準電圧 V_0 よりも大きいかまたは小さいかによって、オペアンプ65の出力信号のレベルが反転する。なお、基準電圧 V_0 の大きさは、外部負荷抵抗81に規定内の電流が流れている場合に検出用コイル63に発生する起電力による電圧の大きさよりも大きくされている。

【0031】外部負荷抵抗81に過電流が流れた場合には、検出用コイル63に発生する起電力が大きくなり、この起電力により発生した電圧が基準電圧 V_0 よりも大きくなる。したがって、過電流検出力端子71に出力されるオペアンプ65の出力信号のレベルを監視することにより、外部負荷抵抗81に過電流が流れたか否かを検出することができる。

【0032】次に、過電流検出回路60の検出用コイル63の部分の具体的構成について、図5を参照して説明する。

【0033】過電流検出回路60の検出用コイル63の部分は、一端が出力用電界効果トランジスタ62のドレインと電気的に接続された第1の導電パターン91と、一端が第2のコンタクト92、下部導電パターン

93および第1のコンタクト92₁を介して第1の導電パターン91₁と電気的に接続され、他端が電源端子70と電気的に接続された第2の導電パターン91₂と、図示左側部分が下部導電パターン93上に形成され、図示右側部分が第1の導電パターン91₁下に形成された検出用コイル63を含む。

【0034】ここで、検出用コイル63は、図示左側部分が下部導電パターン93上に形成されるとともに、図示右側部分が第1の導電パターン91₁下に形成されることにより、出力用電界効果トランジスタ62のドレインと電源端子70との間の電流経路が、検出用コイル63の内側を通るようにされている。その結果、この電流経路に電流が流れることにより、検出用コイル63に起電力が発生する。このとき発生する起電力の大きさは、図1に示した過電流検出回路10の検出用コイル13に発生する起電力の大きさと同様にして、この電流経路に流れる電流の時間変化の大きさに比例するため、過電流検出出力端子71に出力されるオペアンプ65の出力信号のレベルを監視することにより、外部負荷抵抗81に過電流が流れたか否かを検出することができる。

【0035】以上の説明においては、図1および図4にそれぞれ示したように、出力用電界効果トランジスタ12、62としては、NMOSタイプのトランジスタを用いたが、PMOSタイプのトランジスタを用いてもよい。なお、この場合には、ソースおよびドレインの向きがNMOSタイプのトランジスタを用いた場合と逆になる。

【0036】

【発明の効果】本発明は、上述のとおり構成されているので、次の効果を奏する。

【0037】検出用コイルを用いて外部負荷抵抗に流れる過電流を検出することができるため、回路構成が簡単化できる。また、検出用抵抗および電界効果トランジスタのオン抵抗比を利用した場合に比べて、温度による特性変動を少なくすることができるため、検出精度の向上および製品バラツキの低減化が図れる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の第1の実施例に用い

られる過電流検出回路を示す回路図である。

【図2】図1に示した過電流検出回路の出力端子の部分の具体的構成を示す平面図である。

【図3】図2に示したA-A線から見た断面図である。

【図4】本発明の半導体集積回路の第2の実施例に用いられる過電流検出回路を示す回路図である。

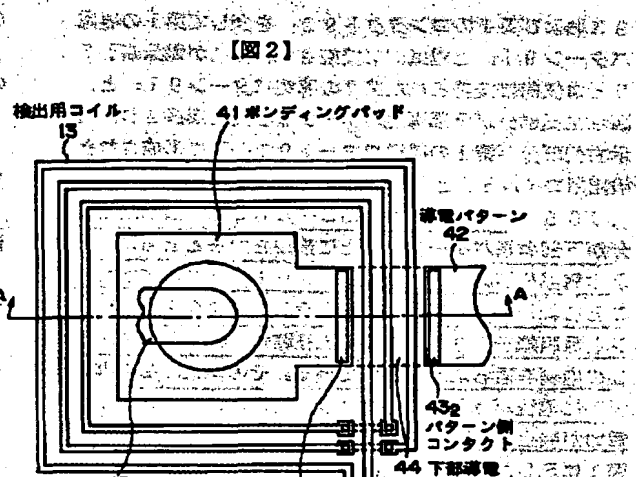
【図5】図4に示した過電流検出回路の検出用コイルの部分の具体的構成を示す平面図である。

【図6】半導体集積回路に用いられる過電流検出回路の一従来例を示す回路図である。

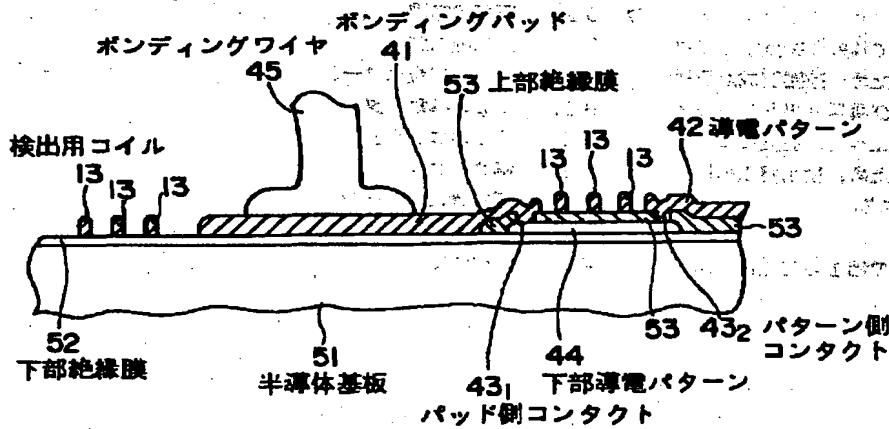
【符号の説明】

10、60	過電流検出回路
11、61	ゲート駆動回路
12、62	出力用電界効果トランジスタ
13、63	検出用コイル
14、64	基準電圧発生回路
15、65	オペアンプ
20、70	電源端子
21、71	過電流検出出力端子
22、72	出力端子
30、80	グランド端子
31、81	外部負荷抵抗
41	ボンディングパッド
42	導電パターン
43 ₁	パッド側コンタクト
43 ₂	パターン側コンタクト
44	下部導電パターン
45	ボンディングワイヤ
51	半導体基板
52	下部絶縁膜
53	上部絶縁膜
91 ₁	第1の導電パターン
91 ₂	第2の導電パターン
92 ₁	第1のコンタクト
92 ₂	第2のコンタクト
93	下部導電パターン
V ₁	駆動電圧
V ₀	基準電圧

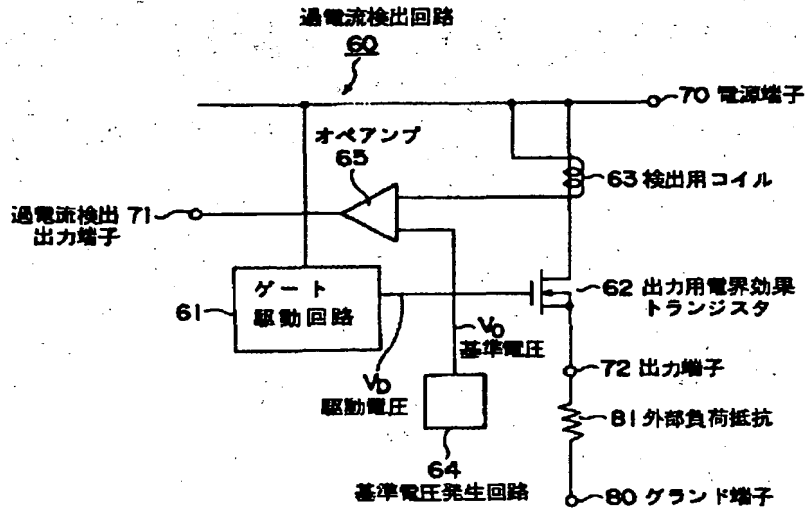
【圖 2】



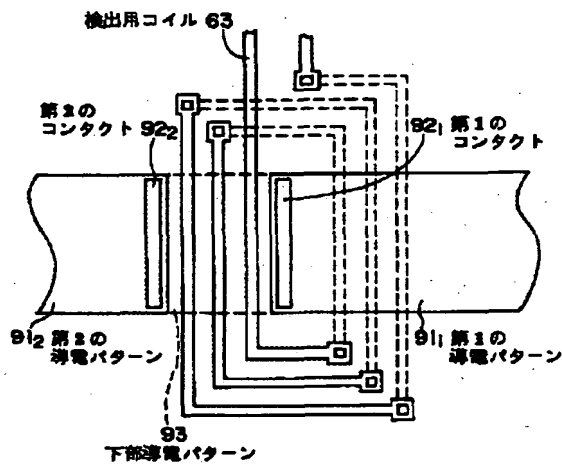
(SIC-ATN)



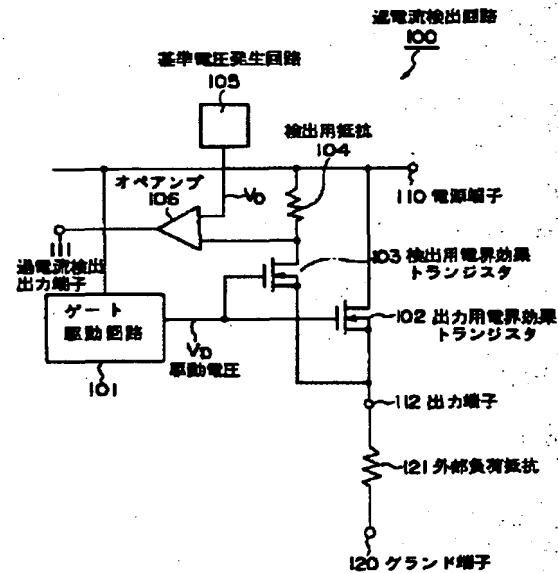
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl.⁶

G 0 5 F 1/56

H 0 1 L 21/66

27/04

21/822

識別記号

3 3 0 C 4237-5H

F 7630-4M

庁内整理番号

F I

技術表示箇所

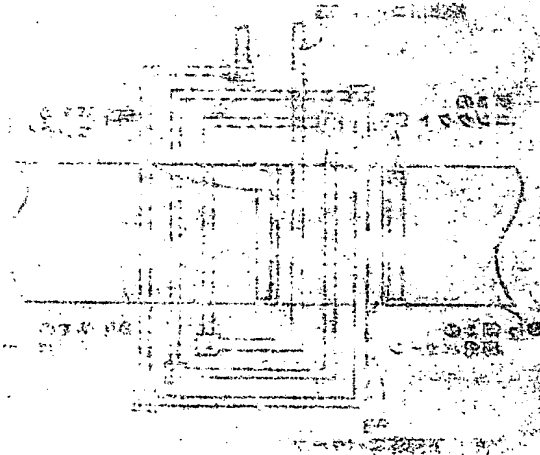
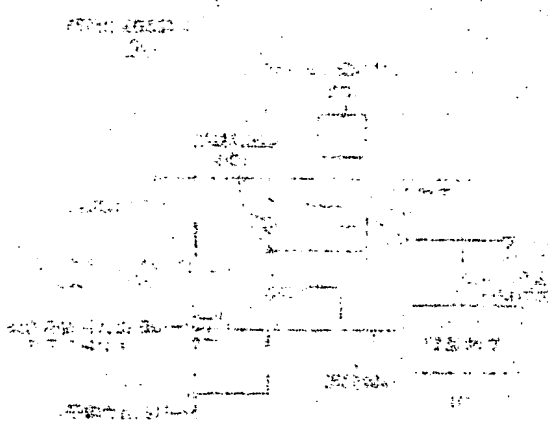
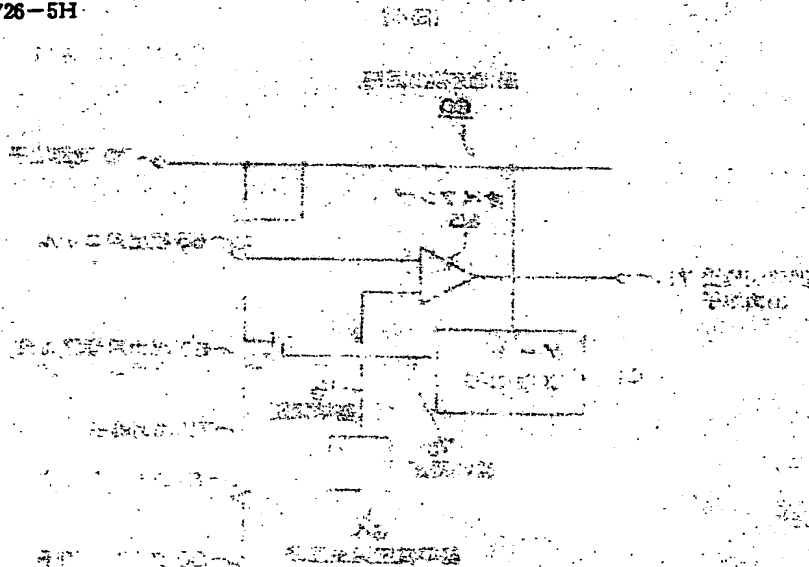
016141-2E0

(8)

特開平7-131316

H02M 1/00
3/00

H 8325-5H
C 8726-5H



図面未定

1.1.

特開平7-131316

特開平7-131316

H02M 1/00
3/00

H 8325-5H
C 8726-5H